

2.4GHz 低遅延通信モジュール

RM-240/241/241s

データシート



Ver 2.0.1

改版履歴

Rev.	日付	作成者	Page	内容
1.0.0	2009/2/10	小林		新規作成
2.0.0	2020/2/15	工藤		RM-240 と統合
2.0.1	2020/7/10	小林	5,6	送信出力値と受信感度修正
				FlashROM、RAM サイズ変更

CONTENTS

CONTENTS.....	3
1.Introduction	4
2.製品概要	4
3. H/W 仕様.....	5
3.1 RM-240 基本仕様.....	5
3.2 RM-241/241s 基本仕様.....	6
3.3 RM-240/PIN アサイン表.....	7
3.4 RM-241-241s/PIN アサイン表	13
3.5 RM-240 外形図.....	17
3.6 RM-241s 外形図	18
4. メモリマップ	19
4.1 理論メモリマップ	19
4.2 実メモリ空間マップ	20
4.3 スタック別ユーザー利用可能領域.....	20
5. RM-240 のアンテナ特性.....	21

1.Introduction

RM-240/RM-241/RM-241s は、IEEE802.15.4 規格に準拠した低遅延 2.4GHz 通信モジュールです。チップアンテナを搭載した小型の RM-240 と、アンプを搭載して出力をアップした RM-241/241s の 2 つのタイプがあります。

どちらのモジュールもデータ入力～送信～受信～出力までのフロントエンドの遅延が 5ms 以下で通信が可能です。(対向通信の場合)

RFLINK 独自開発した低遅延通信ソフトウェア(SimpleMAC24X)の他に、ZigBeePRO 通信ソフトウェアを搭載する事も可能です。

2.製品概要

RM-240/RM-241/RM-241S は、2.4GHz 帯無線の双方向通信モジュールです。

RFLINK 独自仕様の IEEE802.15.4 準拠の MAC 通信ソフトウェア(SimpleMAC24X)を標準搭載しています。

低遅延通信機能の特長を生かすため、メッシュネットワークのホッピング数と経路計算を最低限に抑えた設計になっています。

その他ブロードキャストホッピング、経路指定通信などにも対応しており、1 つのネットワークに登録可能なノード数は、1 ノード/最大 65534 ノードです。

さらに 1 つのネットワーク内に、65534 種類の PAN アドレスの割り振りが可能です。

CH 数は、CH11(2405MHz)～CH26(2480MHz)までの 16CH が使用できます。

概念上の全体の登録可能台数

1ch あたり = 65534 台×65534(PAN) × CH 数(16)

※実際に無線を行う場合、電波衝突により同時に通信可能な台数は別計算が必要です。

受信感度は、-98dBm。送信出力は、RM-240 は最大 7dBm(5mW)、RM-241/241s は最大 12.7dBm (19mW)で、いずれもソフトウェア設定により出力は-43dBm まで下げる事が出来ます。

3. H/W 仕様

3.1 RM-240 基本仕様

項 目	仕 様 内 容
型名	RM-240
準拠法	IEEE802.15.4
周波数	2.4 GHz 帯
変調方式	DSSS/O-QPSK
最大転送速度	250kbps
レイテシ	約 5ms 以下
チャンネル数	16ch (2405MHz~2480MHz)
アンテナ	チップアンテナ
最大送信電力	+8dBm (※ソフトにより変更可)
受信感度	-100dBm
最大通信距離	見通し約 100m~150m 地上 1.5m 間の対向通信時 指向性考慮
外部インターフェース	GPIO(24PIN) / ADC(12bit×6ch) / SPI(1ch) / I2C(1ch) / UART(1ch) ※GPIO の PIN 数は内部ペリフェラルの使用状況により変動します
コアプロセッサ	EM357 (ARM Cortex-M3)
内蔵メモリ	FlashROM : 192KB SRAM : 12KB
コネクタ	Molex背面30pinコネクタ
環境	RoHS対応
電源電圧	2.1~3.6V
消費電力	送信時 : 43.5mA (MAX) 受信時 : 28.5mA Deep スリープ時 : 0.8μA
動作温度	-25℃~+75℃
外形寸法	16.0mm(縦) × 10.0mm(横) × 2.5mm(厚み)
重量	1g 以下
電波法	TELEC 工事設計認証取得済

3.2 RM-241/241s 基本仕様

項目	仕様内容
型名	RM-241/RM-241S
準拠法	IEEE802.15.4
周波数	2.4 GHz 帯
変調方式	DSSS/O-QPSK
最大転送速度	250kbps
レイテシ	約 5ms 以下
チャンネル数	16ch (2405MHz~2480MHz)
アンテナ	RM-241/パターンアンテナ RM-241s/u.FL コネクタによる外部アンテナ
最大送信電力	+12.9dBm (※ソフトにより変更可)
受信感度	-100dBm
最大通信距離	見通し約 500m~700m 地上 1.5m 間の対向通信時 指向性考慮
外部インターフェース	GPIO(24PIN) / ADC(12bit×6ch) / SPI(1ch) / I2C(1ch) / UART(1ch) ※GPIO の PIN 数は内部ペリフェラルの使用状況により変動します
コアプロセッサ	EM357 (ARM Cortex-M3)
内蔵メモリ	FlashROM : 192KB SRAM : 12KB
コネクタ	13pinピンヘッダ×2列 1.27ピッチ (CH01132V100、CviLux製)
環境	RoHS対応
電源電圧	2.1~3.6V
消費電力	送信時 : 43.5mA (MAX) 受信時 : 28.5mA Deep スリープ時 : 0.8μA
動作温度	-25℃~+75℃
外形寸法	31.1mm(縦) × 23.2mm(横) × 6.3mm(厚み)
重量	1.7g 以下
電波法	TELEC 工事設計認証取得済

3.3 RM-240/PIN アサイン表

Pin No	記号	I/O	内容
01	PA3	I/O	Digital I/O
	SC2nSSEL	I	SPI slave select of Serial Controller 2
	TRACECLK	O	Synchronous CPU trace clock
	TIM2_CH2	O	Timer 2 channel 2 output
		I	Timer 2 channel 2 input.
02	PA4	I/O	Digital I/O
	ADC4	I	ADC Input 4
	PTI_EN	O	Frame signal of Packet Trace Interface
	TRACEDATA2	O	Synchronous CPU trace data bit 2
03	PA5	I/O	Digital I/O
	ADC5	I	ADC Input 5
	PTI_DATA	O	Data signal of Packet Trace Interface
	nBOOTMODE	I	Embedded serial bootloader activation
	TRACEDATA3	O	Synchronous CPU trace data bit 3
04	PA2	I/O	Digital I/O
	TIM2_CH4	O	Timer 2 channel 4 output
		I	Timer 2 channel 4 input.
	SC2SCL	I/O	TWI clock of Serial Controller 2
	SC2SCLK	O	SPI master clock of Serial Controller 2
		I	SPI slave clock of Serial Controller 2
05	PA6	I/O	Digital I/O
	TIM1_CH3	O	Timer 1 channel 3 output
		I	Timer 1 channel 3 output

Pin No	記号	I/O	内容
06	(NC)	-	Not Connected
07	PB1	I/O	Digital I/O
	SC1MISO	O	SPI slave data out of Serial Controller 1
	SC1MOSI	O	SPI master data out of SerialController1
	SC1SDA	I/O	TWI data of Serial Controller 1
	SC1TXD	O	UART transmit data of Serial Controller 1
	TIM2_CH1	O	Timer 2 channel 1 output
I		Timer 2 channel 1 input	
08	PB2	I/O	Digital I/O
	SC1MISO	I	SPI master data in of Serial Controller 1
	SC1MOSI	I	SPI slave data in of Serial Controller 1
	SC1SCL	I/O	TWI clock of Serial Controller 1
	SC1RXD	I	UART receive data of Serial Controller 1
	TIM2_CH2	O	Timer 2 channel 2 output
I		Timer 2 channel 2 input	
09	SWCLK	I/O	Serial Wire clock I/O with debugger
	JTCK	I	JTAG clock input from debugger
10	PC2	I/O	Digital I/O
	JTDO	O	JTAG data out to debugger
	SWO	O	Serial Wire Output asynchronous trace output to debugger

Pin No	記号	I/O	内容
11	PC3	I/O	Digital I/O
	JTD1	I	JTAG data in from debugger
12	PC4	I/O	Digital I/O
	JTMS	I	JTAG mode select from debugger
	SWDIO	I/O	Serial Wire bidirectional data
13	PB0	I/O	Digital I/O
	VREF	O	ADC reference output.
	VREF	I	ADC reference input.
	IRQA	I	External interrupt source A.
	TRACECLK	O	Synchronous CPU trace clock
	TIM1CLK	I	Timer 1 external clock input.
	TIM1CLK	I	Timer 2 external clock mask input.
14	VDD_PADS		Pads supply (2.1-3.6 V)
15	VDD_PADS		Pads supply (2.1-3.6 V)

Pin No	記号	I/O	内容
16	PC0	I/O	Digital I/O
	JRST	I	JTAG reset input from debugger
	IRQD	I	Default external interrupt source D
	TRACEDATA1	O	Synchronous CPU trace data bit 1
17	PC1	I/O	Digital I/O
	ADC3	I	ADC Input 3
	SWO	O	Serial Wire Output output to debugger
	TRACEDATA0	O	Synchronous CPU trace data bit 0
18	PB7	I/O	Digital I/O
	ADC2	I	ADC Input 2
	IRQC	I	Default external interrupt source C
	TIM1_CH2	O	Timer 1 channel 2 output
		I	Timer 1 channel 2 input
19	PB6	I/O	Digital I/O
	ADC1	I	ADC Input 1
	IRQB	I	External interrupt source B
	TIM1_CH1	O	Timer 1 channel 1 output
		I	Timer 1 channel 1 input
20	PB5	I/O	Digital I/O
	ADC0	I	ADC Input 0
	TIM2CLK	I	Timer 2 external clock input
	TIM1MSK	I	Timer 2 external clock mask input

Pin No	記号	I/O	内容
21	(NC)	–	Not Connected
22	PC5	I/O	Digital I/O
	TX_ACTIVE	O	Logic-level control for ext Rx/Tx switch.
23	nRESET	I	Active low chip reset
24	GND		Ground
25	GND		Ground
26	PA1	I/O	Digital I/O
	TIM2_CH3	O	Timer 2 channel 3 output
		I	Timer 2 channel 3 input
	SC2SDA	I/O	TWI data of Serial Controller 2
	SC2MISO	O	SPI slave data out of Serial Controller 2
		I	SPI master data in of Serial Controller 2
27	PA7	I/O	Digital I/O
	TIM1_CH4	O	Timer 1 Channel 4 output
		I	Timer 1 Channel 4 input
	REG_EN	I	External regulator open drain output

Pin No	記号	I/O	内容
28	PB3	I/O	Digital I/O
	TIM2_CH3	O	Timer 2 channel 3 output
		I	Timer 2 channel 3 input
	UART_CTS	I	UART CTS Serial Controller 1
	SC1SCLK	O	SPI master clock of Serial Controller 1
		I	SPI slave clock of Serial Controller 1
29	PB4	I/O	Digital I/O
	TIM2_CH4	O	Timer 2 channel 4 output
		I	Timer 2 channel 4 input
	UART_RTS	O	UART RTS Serial Controller 1
	SC1nSSEL	I	SPI slave select of Serial Controller 1
30	PA0	I/O	Digital I/O
	TIM2_CH1	O	Timer 2 channel 1 output
		I	Timer 2 channel 1 input
	SC2MOSI	O	SPI master data out of Serial Controller 2
		I	SPI slave data in of Serial Controller 2

3.4 RM-241-241s/PIN アサイン表

Pin No	記号	I/O	内容
1	GND		GND
2	nRESET	I	Active low chip reset
3	PA1	I/O	Digital I/O
	TIM2_CH3	O	Timer 2 channel 3 output
		I	Timer 2 channel 3 input
	SC2SDA	I/O	TWI data of Serial Controller 2
	SC2MISO	O	SPI slave data out of Serial Controller 2
I		SPI master data in of Serial Controller 2	
4	PA0	I/O	Digital I/O
	TIM2_CH1	O	Timer 2 channel 1 output
		I	Timer 2 channel 1 input
	SC2MOSI	O	SPI master data out of Serial Controller 2
		I	SPI slave data in of Serial Controller 2
5	(NC)	–	Not Connected
6	PB3	I/O	Digital I/O
	TIM2_CH3	O	Timer 2 channel 3 output
		I	Timer 2 channel 3 input
	UART_CTS	I	UART CTS Serial Controller 1
	SC1SCLK	O	SPI master clock of Serial Controller 1
I		SPI slave clock of Serial Controller 1	
7	PB4	I/O	Digital I/O
	TIM2_CH4	O	Timer 2 channel 4 output
		I	Timer 2 channel 4 input
	UART_RTS	O	UART RTS Serial Controller 1
SC1nSSEL	I	SPI slave select of Serial Controller 1	
8	PA2	I/O	Digital I/O
	TIM2_CH4	O	Timer 2 channel 4 output
		I	Timer 2 channel 4 input
	SC2SCL	I/O	TWI clock of Serial Controller 2
	SC2SCLK	O	SPI master clock of Serial Controller 2
I		SPI slave clock of Serial Controller 2	

Pin No	記号	I/O	内容
9	PA3	I/O	Digital I/O
	SC2 n SSEL	I	SPI slave select of Serial Controller 2
	TRACECLK	O	Synchronous CPU trace clock
	TIM2_CH2	O	Timer 2 channel 2 output
		I	Timer 2 channel 2 input
10	PA4	I/O	Digital I/O
	ADC4	I	ADC Input 4
	PTI_EN	O	Frame signal of Packet Trace Interface
	TRACEDATA2	O	Synchronous CPU trace data bit 2
11	PA5	I/O	Digital I/O
	ADC5	I	ADC Input 5
	PTI_DATA	O	Data signal of Packet Trace Interface
	nBOOTMODE	I	Embedded serial bootloader activation
	TRACEDATA3	O	Synchronous CPU trace data bit 3
12	PA6	I/O	Digital I/O
	TIM1_CH3	O	Timer 1 channel 3 output
		I	Timer 1 channel 3 output
13	PB1	I/O	Digital I/O
	SC1MISO	O	SPI slave data out of Serial Controller 1
	SC1MOSI	O	SPI master data out of SerialController1
	SC1SDA	I/O	TWI data of Serial Controller 1
	SC1TXD	O	UART transmit data of Serial Controller 1
	TIM2_CH1	O	Timer 2 channel 1 output
I		Timer 2 channel 1 input	
14	VCC		VCC
15	SWCLK	I/O	Serial Wire clock I/O with debugger
	JTCK	I	JTAG clock input from debugger
16	PC2	I/O	Digital I/O
	JTDO	O	JTAG data out to debugger
	SWO	O	Serial Wire Output asynchronous trace output to debugger
17	PC3	I/O	Digital I/O
	JTD1	I	JTAG data in from debugger
18	PC4	I/O	Digital I/O
	JTMS	I	JTAG mode select from debugger
	SWDIO	I/O	Serial Wire bidirectional data

Pin No	記号	I/O	内容
19	PB0	I/O	Digital I/O
	VREF	O	ADC reference output
	VREF	I	ADC reference input
	IRQA	I	External interrupt source A
	TRACECLK	O	Synchronous CPU trace clock
	TIM1CLK	I	Timer 1 external clock input
	TIM1CLK	I	Timer 2 external clock mask input
20	PC1	I/O	Digital I/O
	ADC3	I	ADC Input 3
	SWO	O	Serial Wire Output output to debugger
	TRACEDATA0	O	Synchronous CPU trace data bit 0
21	PC0	I/O	Digital I/O
	JRST	I	JTAG reset input from debugger
	IRQD	I	Default external interrupt source D
	TRACEDATA1	O	Synchronous CPU trace data bit 1
22	PB7	I/O	Digital I/O
	ADC2	I	ADC Input 2
	IRQC	I	Default external interrupt source C
	TIM1_CH2	O	Timer 1 channel 2 output
		I	Timer 1 channel 2 input
23	PB6	I/O	Digital I/O
	ADC1	I	ADC Input 1
	IRQB	I	External interrupt source B
	TIM1_CH1	O	Timer 1 channel 1 output
		I	Timer 1 channel 1 input
24	PB5	I/O	Digital I/O
	ADC0	I	ADC Input 0
	TIM2CLK	I	Timer 2 external clock input
	TIM1MSK	I	Timer 2 external clock mask input
25	PB2	I/O	Digital I/O
	SC1MISO	I	SPI slave data in of Serial Controller 1
	SC1MOSI	I	SPI master data in of SerialController1
	SC1SCL	I/O	TWI clock of Serial Controller 1
	SC1RXD	I	UART receive data of Serial Controller 1
	TIM2_CH2	O	Timer 2 channel 2 output
		I	Timer 2 channel 2 input
26	GND		GND

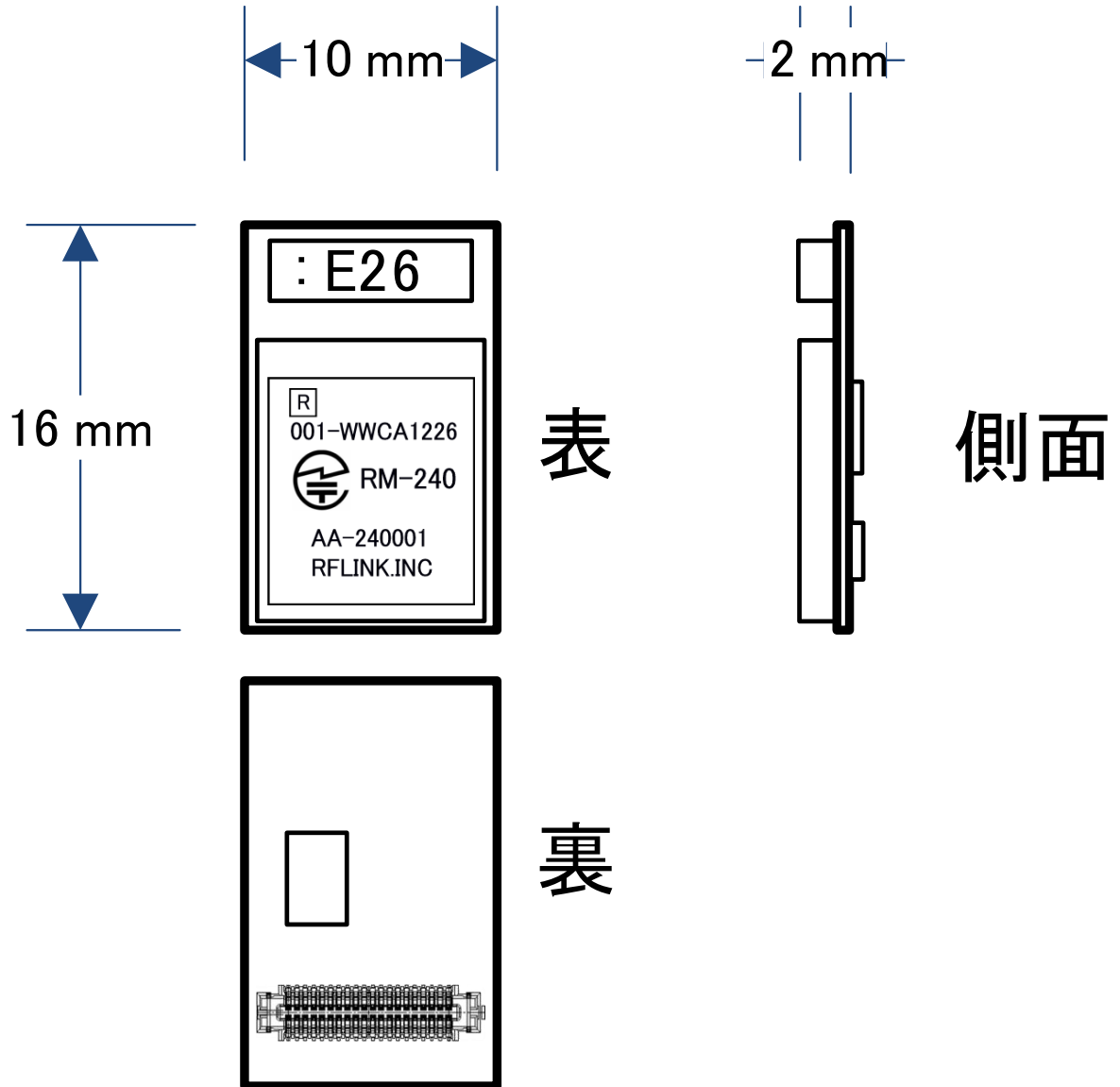
【未使用の PIN に対する設定について】 ※RM-241/241s の場合

お客様でボードを製造された時に、未使用 PIN に対する設定で弊社からの推奨案は以下になります。

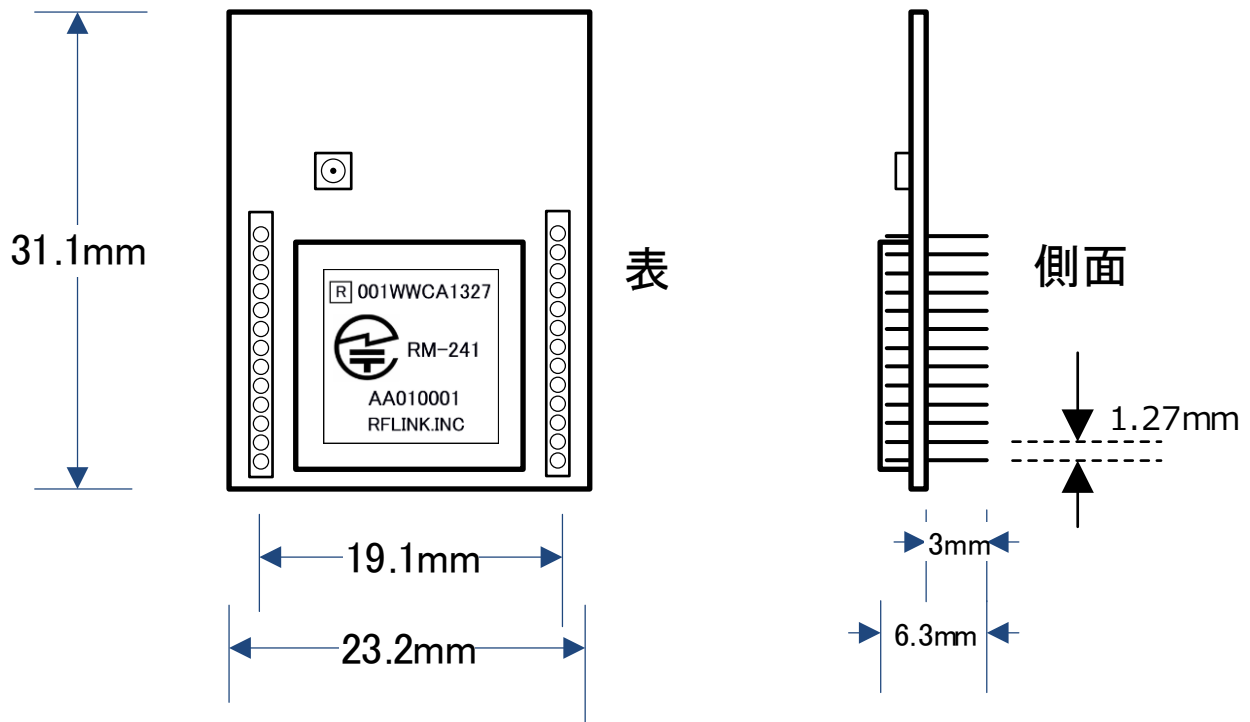
- ・ H/W 対策 ブルダウン設定 47K Ω 抵抗取り付け
- ・ S/W 対策 GPIO コンフィグレーションで出力設定+ブルダウン

【GPIO への印加電圧範囲】 2.1V~3.6V

3.5 RM-240 外形図



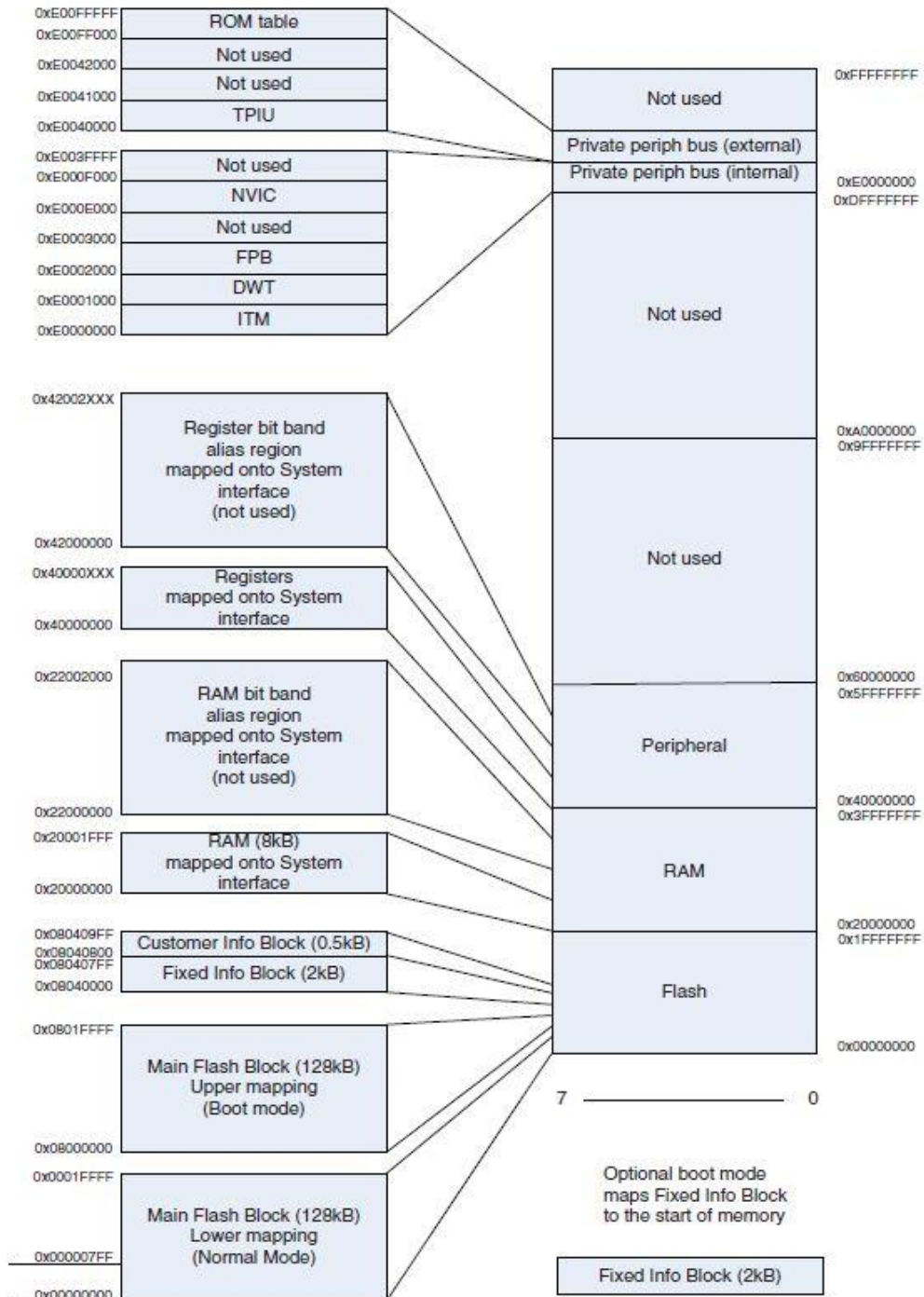
3.6 RM-241s 外形図



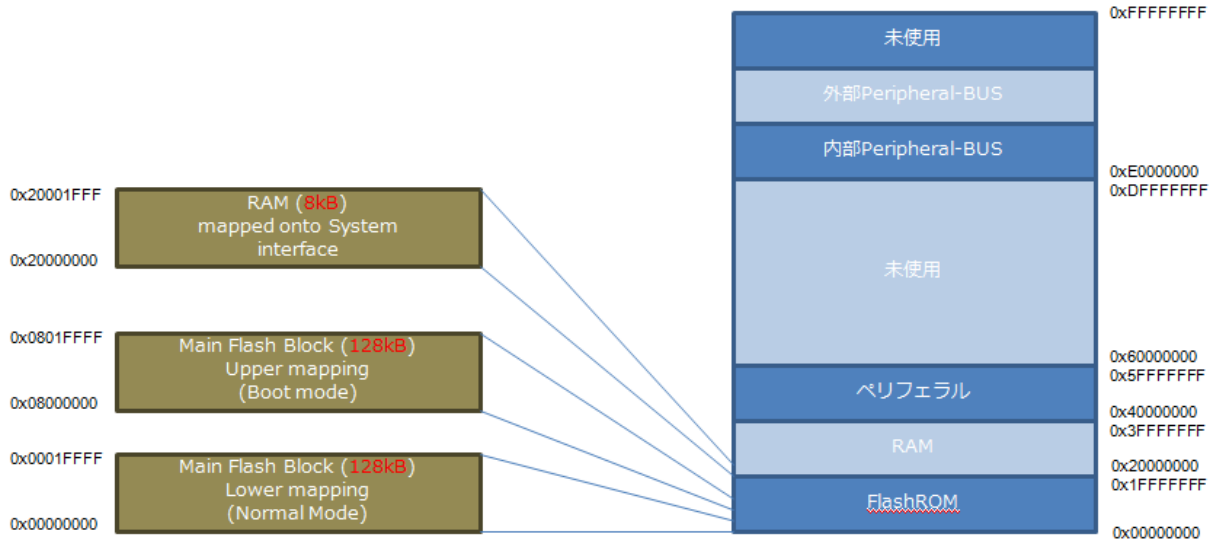
※RM-241(パターンアンテナタイプ)も外形寸法は同じです。

4. メモリマップ

4.1 理論メモリマップ



4.2 実メモリ空間マップ



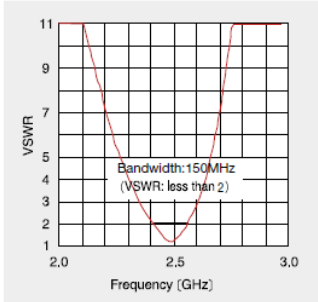
本モジュールに搭載可能な、実際の使用領域は、上記の様なメモリ配置になります。

4.3 スタック別ユーザー利用可能領域

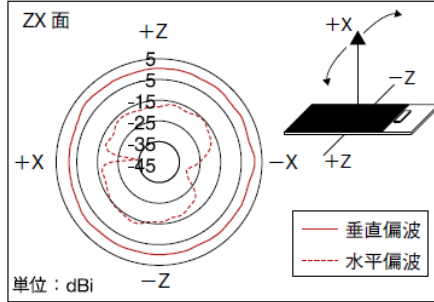
ZigBeePRO 使用時	FlashROM	全体領域	128KB
		システム	約 100KB
		ユーザ	約 28KB
	RAM	全体領域	12KB
システム		約 10KB	
ユーザー		約 2KB	
IEEE802.15.4-MAC 使用時	FlashROM	全体領域	128KB
		システム	約 28KB
		ユーザ	約 100KB
	RAM	全体領域	12KB
		システム	約 8KB
		ユーザー	約 4KB

5. RM-240 のアンテナ特性

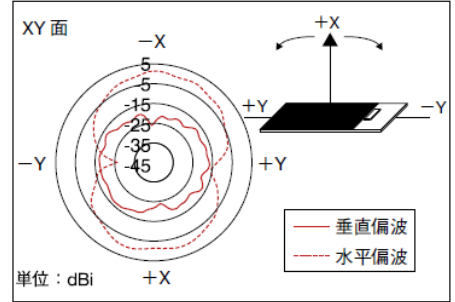
● AH 083F245001



VSWR特性の代表例



単位：dBi



単位：dBi

指向性の代表例 (@2.45GHz)

本ページ空欄